

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-282442

(43)公開日 平成11年(1999)10月15日

(51)Int.Cl.	識別記号	F I
G09G 5/00	510	G09G 5/00 510 V
G06F 3/153	333	G06F 3/153 333 B
H04N 5/907		H04N 5/907 B

審査請求 未請求 請求項の数 5 O L (全15頁)

(21)出願番号 特願平10-79662

(22)出願日 平成10年(1998)3月26日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 原 英樹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

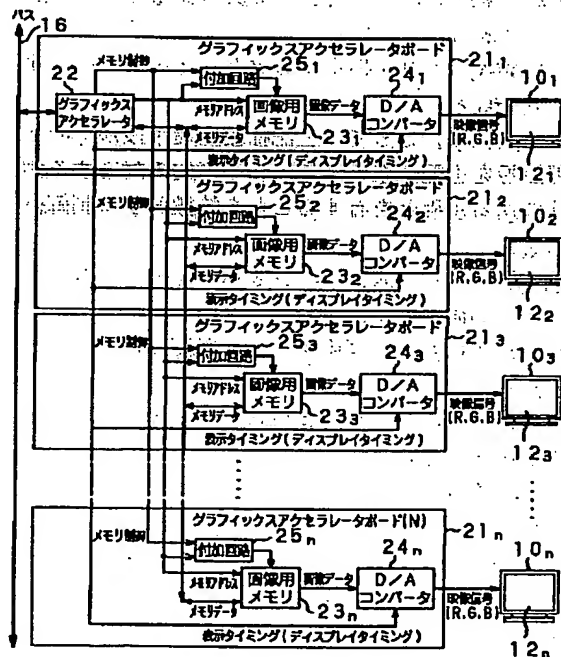
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】制御信号変換装置及び方法、並びに画像処理装置

(57)【要約】

【課題】 複数画面を制御するマルチスクリーングラフィックスシステムを構成する際に、描画処理手段であるグラフィックスアクセラレータを1台で済ませ、省コスト、省スペースを実現する。

【解決手段】 複数 (n台) のグラフィックスアクセラレータボード 21₁, 21₂, 21₃, ..., 21_n からの映像信号がマルチスクリーン表示用のn台の表示装置 10₁, 10₂, 10₃, ..., 10_n にそれぞれ送られている。1台のグラフィックスアクセラレータ 22 からの画像データは、グラフィックスアクセラレータボード 21₁, 21₂, 21₃, ..., 21_n の各画像用メモリ (ビデオRAM) 23₁, 23₂, 23₃, ..., 23_n に送られると共に、メモリアクセスのための制御信号が各付加回路 25₁, 25₂, 25₃, ..., 25_n に送られ、グラフィックスアクセラレータ 22 から指定される画像用メモリにのみメモリ制御信号が送られる。



10₁ - 10_n: 表示装置
12₁ - 12_n: 表示画面

【特許請求の範囲】

【請求項 1】 描画処理手段からの画像データを複数の表示手段に送って表示させるマルチスクリーン表示システムにおける上記描画処理手段からの制御信号を変換して上記複数の表示手段に対応する複数の画像メモリに送る制御信号変換装置であって、

上記複数の画像メモリを指定するアドレスをデコードするデコード手段と、

このデコード手段からの出力に応じて、上記描画処理手段からのメモリ制御信号を上記複数の画像メモリの内の対応する画像メモリに送る選択手段とを有することを特徴とする制御信号変換装置。

【請求項 2】 上記デコード手段は、上記複数の画像メモリをアクセスするためのアドレスの上位アドレスをデコードして各画像メモリを選択する選択信号を出力し、上記選択手段は、上記メモリ制御信号をゲート制御して上記複数の画像メモリに送る構成を有し、上記選択信号に応じて上記複数の画像メモリの内の対応する画像メモリへの制御信号のみを有効にすることを特徴とする請求項 1 記載の制御信号変換装置。

【請求項 3】 上記選択手段は、上記描画処理手段が上記複数の画像メモリに対して発行するメモリアクセスサイクルの内の全画像メモリに対するアクセスサイクルに応じて、上記選択信号に拘わらず上記メモリ制御信号を上記複数の画像メモリの全てに対して有効にすることを特徴とする請求項 1 記載の制御信号変換装置。

【請求項 4】 描画処理手段からの画像データを複数の表示手段に送って表示させるマルチスクリーン表示システムにおける上記描画処理手段からの制御信号を変換して上記複数の表示手段に対応する複数の画像メモリに送る制御信号変換方法において、
上記複数の画像メモリを指定するアドレスをデコードするデコード手段と、
このデコード出力に応じて、上記描画処理手段からのメモリ制御信号を上記複数の画像メモリの内の対応する画像メモリに送る工程とを有することを特徴とする制御信号変換方法。

【請求項 5】 マルチスクリーン表示のための画像データを出力する描画処理手段と、
この描画処理手段からの画像データが蓄積される複数の画像メモリと、
この複数の画像メモリからの各画像データをそれぞれ表示する複数の表示手段と、
上記複数の画像メモリを指定するアドレスをデコードし、このデコード出力に応じて上記描画処理手段からのメモリ制御信号を上記複数の画像メモリの内の対応する画像メモリに送る制御信号変換手段とを有することを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、制御信号変換装置及び方法、並びに画像処理装置に関し、特に、複数の表示画面を配列して大画面を構成するマルチスクリーングラフィックスシステムの描画装置から各表示装置への制御信号を変換する制御信号変換装置及び方法、並びにこの制御信号変換技術が適用された画像処理装置に関する。

【0002】

【従来の技術】 複数の表示装置の各表示画面を縦横に配列して大画面を構成するようなマルチスクリーングラフィックスシステムが従来より知られている。

【0003】 図 2 2 及び図 2 3 は、このようなマルチスクリーングラフィックスシステムの従来の概略構成の一例を示している。

【0004】 図 2 2 において、マルチスクリーンを構成するための複数の台、例えば n 台の表示装置 $10_1, 10_2, 10_3, \dots, 10_n$ には、 n 台のグラフィックスアクセラレータボード（あるいはカード） $71_1, 71_2, 71_3, \dots, 71_n$ からの映像信号がそれぞれ送られている。

【0005】 また、図 2 3 においては、マルチスクリーンを構成するための上述したような n 台の表示装置 $10_1, 10_2, 10_3, \dots, 10_n$ には、 n 個のグラフィックスアクセラレータブロック $76_1, 76_2, 76_3, \dots, 76_n$ からの映像信号がそれぞれ送られている。グラフィックスアクセラレータブロック $76_1, 76_2, 76_3, \dots, 76_n$ は、マルチスクリーン表示用のベース基板 70 に取り付けられるオプション基板あるいは回路ブロックとして用いられるものである。

【0006】 これらのグラフィックスアクセラレータボード $71_1, 71_2, 71_3, \dots, 71_n$ 、あるいはグラフィックスアクセラレータブロック $76_1, 76_2, 76_3, \dots, 76_n$ は、いずれも同様な構成を有し、任意の 1 台のグラフィックスアクセラレータボード 71 あるいはグラフィックスアクセラレータブロック 76 は、グラフィックスアクセラレータ 72 と、画像用メモリ（例えばビデオ RAM）73 と、D/A コンバータ 74 とを有している。

【0007】 なお、図中の参照番号に付加した添え字 k は、 k 台目のグラフィックスアクセラレータボード 71、あるいはグラフィックスアクセラレータブロック 76 に関連するものであることを示しており、例えばグラフィックスアクセラレータボード 71 は、グラフィックスアクセラレータ 72 と、画像用メモリ 73 と、D/A コンバータ 74 とを有している。また、説明中の添え字無しの参照番号は、任意の 1 台のグラフィックスアクセラレータボード 71 あるいはグラフィックスアクセラレータブロック 76 に関連するものであることを示している。

【0008】 このようなグラフィックスアクセラレータボード 71 あるいはグラフィックスアクセラレータブ

ック 7 6 において、グラフィックスアクセラレータ 7 2 は、画像用メモリ（ビデオ RAM）7 3 に対する様々な描画や D/A コンバータ 7 4 の制御などを行なう。また、画像用メモリ 7 3 のアドレス信号、データ信号、および、コントロール信号を制御する。画像用メモリ 7 3 は、画像データの蓄積を行ない、グラフィックスアクセラレータによりそのデータが書き換えられることになる。画像用メモリ 7 3 として用いられるビデオ RAM（Video RAM）は、2 つのアクセスポート（アクセスの口）を持っており、1 つは、グラフィックスアクセラレータ 7 2 がアクセスするためのポートであり、もう 1 つは、D/A コンバータ 7 4 へデジタルデータ出力を行なうためのポートである。D/A コンバータ 7 4 は、画像用メモリ 7 3 内の画像データを取り込み、そのデジタルデータをアナログの映像信号、例えば赤、緑、青の映像信号に変換すると共に、水平・垂直同期信号を生成する役割を持つ。この D/A コンバータ 7 4 で、変換、および、生成された信号はディスプレイ等の表示装置 1 0 に送られ、映像として表示される。

【0 0 0 9】この表示装置 1 0 を複数台用いて、例えば図 2 2 や図 2 3 に示すように n 台の表示装置 1 0₁, 1 0₂, ..., 1 0_n を設けて、縦横に配列することによって、大画面高解像度を実現するマルチスクリーングラフィックスシステムを構成している。また、図 2 2、図 2 3 中のバス 1 6 としては、例えば、P C I（Peripheral Component Interconnect）バス、A G P（Accelerated Graphics Port）バス、I S A（Industrial Standard Architecture）バス、E I S A（Extended ISA）バス、V L-Bus（VESA Local Bus）、V M E バスなどの汎用、および、標準のバスや、完全に専用のバスなどが考えられる。

【0 0 1 0】

【発明が解決しようとする課題】このように、従来においては、マルチスクリーングラフィックスシステムを実現する際に、複数の表示装置に映像信号を送るための構成として、グラフィックスアクセラレータ 7 2、画像用メモリ（ビデオ RAM）7 3、D/A コンバータ 7 4 を持ったグラフィックスアクセラレータブロック 7 6、あるいは、グラフィックスアクセラレータボード 7 1 を複数装備しなければならなかった。

【0 0 1 1】従って、1 つの画面（スクリーン）を担当するブロック、あるいは、ボード単位でのマルチスクリーン化が必要となるため、グラフィックスシステムのコストが高騰することになり、また、グラフィックス部分のスペースも大きなものになってしまう、という欠点がある。

【0 0 1 2】本発明は、このような実情に鑑みてなされたものであり、必要最小限のコンポーネント（部品）の追加で済み、性能の高い回路を必要とせず、省コスト、省スペースを実現したマルチスクリーン制御機能を備え

ることを可能となるような制御信号変換装置及び方法、並びに画像処理装置の提供を目的とする。

【0 0 1 3】

【課題を解決するための手段】本発明に係る制御信号変換装置は、上述した課題を解決するために、描画処理手段からの画像データを複数の表示手段に送って表示させるマルチスクリーン表示システムにおける上記描画処理手段からの制御信号を変換して上記複数の表示手段に対応する複数の画像メモリに送る制御信号変換装置であって、上記複数の画像メモリを指定するアドレスをデコードするデコード手段と、このデコード手段からの出力に応じて、上記描画処理手段からのメモリ制御信号を上記複数の画像メモリの内の対応する画像メモリに送る選択手段とを有することを特徴としている。

【0 0 1 4】また、本発明に係る制御信号変換方法は、上述した課題を解決するために、描画処理手段からの画像データを複数の表示手段に送って表示させるマルチスクリーン表示システムにおける上記描画処理手段からの制御信号を変換して上記複数の表示手段に対応する複数の画像メモリに送る制御信号変換方法において、上記複数の画像メモリを指定するアドレスをデコードするデコード工程と、このデコード出力に応じて、上記描画処理手段からのメモリ制御信号を上記複数の画像メモリの内の対応する画像メモリに送る工程とを有することを特徴としている。

【0 0 1 5】さらに、本発明に係る画像処理装置は、上述した課題を解決するために、マルチスクリーン表示のための画像データを出力する描画処理手段と、この描画処理手段からの画像データが蓄積される複数の画像メモリと、この複数の画像メモリからの各画像データをそれぞれ表示する複数の表示手段と、上記複数の画像メモリを指定するアドレスをデコードし、このデコード出力に応じて上記描画処理手段からのメモリ制御信号を上記複数の画像メモリの内の対応する画像メモリに送る制御信号変換手段とを有することを特徴としている。

【0 0 1 6】このような構成において、1 つの制御信号変換装置により、マルチスクリーン表示が可能となる。

【0 0 1 7】

【発明の実施の形態】本発明に係る制御信号変換装置及び方法の好ましい実施の形態について、図面を参照しながら説明する。

【0 0 1 8】図 1 は、本発明の実施の形態となる制御信号変換装置が適用されるマルチスクリーングラフィックスシステムの概略構成の一例を示すブロック図、図 2 は本発明の実施の形態となる制御信号変換装置が適用されるマルチスクリーングラフィックスシステムの概略構成の他の例を示すブロック図である。

【0 0 1 9】先ず、図 1 においては、マルチスクリーンを構成するための複数台、例えば n 台の表示装置 1 0₁, 1 0₂, 1 0₃, ..., 1 0_n に、 n 台のグラフィックスアクセラレータ

セラレータボード (あるいはカード) 21, 21, 21, ..., 21, からの映像信号がそれぞれ送られている。

【0020】また、図2において、マルチスクリーンを構成するための上述したようなn台の表示装置10, 10, 10, ..., 10, には、n個のグラフィックスアクセラレータブロック26, 26, 26, ..., 26, からの映像信号がそれぞれ送られ、各表示画面12, ~12, に表示される。これらのn面の表示画面12, ~12, は、縦横に配列されて大画面を構成している。グラフィックスアクセラレータブロック26, 26, 26, ..., 26, は、マルチスクリーン表示用のベース基板20に取り付けられるオプション基板あるいは回路ブロックとして用いられるものである。

【0021】これらのグラフィックスアクセラレータボード21, 21, 21, ..., 21, あるいはグラフィックスアクセラレータブロック26, 26, 26, ..., 26, は、グラフィックスアクセラレータボード21, 及びグラフィックスアクセラレータブロック26, が互いに同様な構成を有し、また、グラフィックスアクセラレータボード21, 21, ..., 21, 及びグラフィックスアクセラレータブロック26, 26, ..., 26, がいずれも同様な構成を有している。

【0022】グラフィックスアクセラレータボード21, 及びグラフィックスアクセラレータブロック26, は、いずれも、描画処理手段となるグラフィックスアクセラレータ22と、画像用メモリ (例えばビデオRAM) 23と、D/Aコンバータ24と、グラフィックスアクセラレータ22からの制御信号を変換して画像用メモリ23に送る付加回路25とを有している。

【0023】また、グラフィックスアクセラレータボード21, 21, ..., 21, 及びグラフィックスアクセラレータブロック26, 26, ..., 26, は、いずれも、上記グラフィックスアクセラレータボード21, 及びグラフィックスアクセラレータブロック26, のグラフィックスアクセラレータ22からの制御信号を変換して画像用メモリ23に送る付加回路25と、画像用メモリ23と、D/Aコンバータ24とを有している。

【0024】ここで、図中の参照番号に付加した添え字kは、k台目のグラフィックスアクセラレータボード21, あるいはグラフィックスアクセラレータブロック26, に関連するものであることを示しており、例えばグラフィックスアクセラレータボード21, は、画像用メモリ23, と、D/Aコンバータ24, とを有している。なお、グラフィックスアクセラレータ22は、図1の例ではグラフィックスアクセラレータボード21, (あるいは図2の例のグラフィックスアクセラレータブロック26,) のみに設けられているが、共用であり、他のグラフィックスアクセラレータボード21, 21, ..., 21, (あるいはグラフィックスアクセラレータブロック26, 26, ..., 26,) のいずれに設けて

もよい場合、添え字を付していない。また、本明細書中では、任意の1台のグラフィックスアクセラレータボード21あるいはグラフィックスアクセラレータブロック26に関連するものの参照番号にも添え字を付していない。

【0025】グラフィックスアクセラレータボード21, , あるいはグラフィックスアクセラレータブロック26, のグラフィックスアクセラレータ22は、画像用メモリ (例えばビデオRAM) 23に対する様々な描画やD/Aコンバータ24の制御などを行なう。また、画像用メモリ23のアドレス信号、データ信号、および、コントロール信号を制御する。画像用メモリ23は、画像データの蓄積を行ない、グラフィックスアクセラレータによりそのデータが書き換えられることになる。画像用メモリ23として用いられるビデオRAM (Video RAM) は、2つのアクセスポート (アクセスの口) を持っており、1つは、グラフィックスアクセラレータ22がアクセスするためのポートであり、もう1つは、D/Aコンバータ24へデジタルデータ出力を行なうためのポートである。D/Aコンバータ24は、画像用メモリ23内の画像データを取り込み、そのデジタルデータをアナログの映像信号、例えば赤、緑、青の映像信号に変換すると共に、水平・垂直同期信号を生成する役割を持つ。このD/Aコンバータ24で、変換、および、生成された信号はディスプレイ等の表示装置10に送られ、表示画面12に映像として表示される。

【0026】この表示装置10を複数台用いて、例えば図1や図2に示すようにn台の表示装置10, 10, 10, ..., 10, を設けて、縦横に配列することによって、大画面高解像度を実現するマルチスクリーングラフィックスシステムを構成している。また、図1、図2中のバス16としては、例えば、PCI (Peripheral Component Interconnect) バス、AGP (Accelerated Graphics Port) バス、ISA (Industrial Standard Architecture) バス、EISA (Extended ISA) バス、V-L-Bus (VESA Local Bus)、VMEバスなどの汎用、および、標準のバスや完全に専用のバスなどが挙げられる。

【0027】これらの図1、図2に示す本発明の実施の形態において、グラフィックスアクセラレータボード21, 21, ..., 21, やグラフィックスアクセラレータブロック26, 26, ..., 26, については、従来のようにそれぞれ個別のグラフィックスアクセラレータを設けることなく、必要最小限のコンポーネント、すなわち画像用メモリ23とD/Aコンバータ24に付加回路25を用いるのみの構成で済ませることにより、省コスト、省スペースを実現したマルチスクリーングラフィックスシステムを構成している。

【0028】このような実施の形態における付加回路25は、グラフィックスアクセラレータボード21, 又は

グラフィックスアクセラレータブロック 26, のグラフィックスアクセラレータ 22 が制御する画像用メモリ 23 の制御信号に対して挿入している。すなわち、画像用メモリ 23 に対してグラフィックスアクセラレータ 22 が発行するアドレスの一部を解読(デコード)して、同じくグラフィックスアクセラレータ 22 から発行される画像用メモリ(ビデオRAM)に対する制御信号を変換する回路である。

【0029】この付加回路 25 は、以下の 2 つの機構、すなわち、

- (1) アドレスの一部を解読(デコード)し、各メモリに対する制御信号を変換する機構
 - (2) 全てのメモリに対して同時に発行する必要のあるアクセスサイクルを識別する機構
- より成り立つ。

【0030】これらの機構を備えた付加回路 25 は、グラフィックスアクセラレータ 22 とは完全に独立した外部回路である場合と、グラフィックスアクセラレータ 22 にその回路が含まれた内部回路である場合とが考えられる。

【0031】ここで、ビデオRAMに対する制御信号とは、具体的に、

RAS*: ロウアドレスストロブ(Row Address Strobe)信号

CAS*: カラムアドレスストロブ(Column Address Strobe)信号

WE*: ライトイネーブル(Write Enable)信号

OE*: アウトプットイネーブル(Output Enable)信号

DSF: スペシャルファンクションイネーブル(Special Function Enable)信号

のような信号を指す。これらの制御信号の中で、アスタリスク(*)の記号が付加されている信号は、Low レベルで有効(アクティブ)となることを表わしており、一般的に負論理信号という。アスタリスク(*)の記号が付加されていない信号は、High レベルで有効(アクティブ)となることを表わしており、一般的に正論理信号という。

【0032】次に、マルチスクリーンの各画面(スクリーン)とグラフィックスシステム内の画像用メモリ(ビデオRAM)との関係を示す例について、図 3、図 4 を参照しながら説明する。これらの図 3、図 4 の例では、9 台の表示装置 10₁ ~ 10₉ を用い、各表示装置 10₁ ~ 10₉ の 9 面の表示画面 12₁ ~ 12₉ を縦横 3 × 3 に並べて配列して、高解像度の画面を構成している。

【0033】図 3 において、グラフィックスアクセラレータ 22 は、各ビデオRAM(画像用メモリ) 23₁ ~ 23₉ に対する描画制御を行う。これらのビデオRAM 23₁ ~ 23₉ は、マルチスクリーンを構成する 9 台の表示装置 10₁ ~ 10₉ の各表示画面 12₁ ~ 12₉ (図 4) に対応しており、ビデオRAM 23₁ ~ 23₉ に描画

された内容が表示装置 10₁ ~ 10₉ の画面 12₁ ~ 12₉ に表示される。ビデオRAM 23₁ ~ 23₉ は、グラフィックスアクセラレータ 22 にとって連続するアドレス空間に配置され、描画のための計算を行ない易くなっている。

【0034】図 3、図 4 の例では、9 台の表示装置 10₁ ~ 10₉ の各表示画面 12₁ ~ 12₉ が縦横 3 × 3 で 9 面配置されることによって、高解像度大画面が構成されているが、グラフィックスアクセラレータ 22 はこれらの表示画面 12₁ ~ 12₉ の配置を考慮することで、適切な描画をビデオRAM 23₁ ~ 23₉ に対して行なう。そして、グラフィックスアクセラレータ 22 と各ビデオRAM 23₁ ~ 23₉ との間に本発明の実施の形態による制御信号の変換機構としての上記付加回路 25 (図 1、図 2 の n=9 とした場合の付加回路 25₁ ~ 25₉) を設ける。

【0035】図 3 におけるこの制御信号変換機構である付加回路 25 は、グラフィックスアクセラレータ 22 がビデオRAM(画像用メモリ) 23₁ ~ 23₉ にアクセスするために発行するアドレスの上位 4 ビットを解読(デコード)し、ビデオRAM 23₁ ~ 23₉ のどのビデオRAM に対するアクセスなのかを判断して、その意図されたビデオRAM、例えば k 番目 (1 ≤ k ≤ 9) のビデオRAM 23_k に対するメモリ制御信号のみを有効にする。

【0036】したがって、グラフィックスアクセラレータ 22 にとっては、しかるべきアクセスサイクルが意図した例えば k 番目のビデオRAM 23_k に対して発行されることになる。ビデオRAM 23₁ の内容を表示させるために、その内容を表示装置 10₁ の前段に位置する D/A コンバータ(図 1、図 2 の 24₁) に送り込むためのリードトランスファーサイクルまたはスプリットリードトランスファーサイクルをグラフィックスアクセラレータ 22 が起動する場合には、そのサイクルを検出して、1 回のリードトランスファーサイクルまたはスプリットトランスファーサイクルで、全てのビデオRAM 23₁ ~ 23₉ に対するリードトランスファーサイクルまたはスプリットリードトランスファーサイクルになるようにメモリ制御信号を変換する。

【0037】このような付加回路 25 に関して、具体的な例を挙げて詳述する。最初にサイクル別の制御信号変換に関する説明を行なう。次に、ビデオRAM 23₁ ~ 23₉ へのアクセスサイクルが、単一の例えば k 番目のビデオRAM 23_k に対する制御信号変換なのか、全部のビデオRAM 23₁ ~ 23₉ に対する制御信号変換なのかを、サイクルによって判断しなければならないが、その判断を行なうためのサイクル識別に関する説明を行なう。

【0038】この実施の形態の具体例では、1 ピクセル = 8 ビット(すなわち、8 ビット/ピクセル)

解像度：縦 1 0 2 4 ピクセル×横 1 0 2 4 ピクセル
 のような条件のグラフィックスシステムを想定してい
 る。この場合の 1 つの表示装置に対応するビデオ RAM
 の容量は、
 $1024 \times 1024 \times 8 \text{ ビット} = 8 \text{ Mビット} = 1 \text{ Mバイト} (1 \text{ M Byte})$

となる。画像メモリ (ビデオ RAM 群 2 3, ~ 2 3,) の
 先頭アドレスを $0 \times 0 0 0 0 0 0$ ($0 \times$ は 1 6 進数表示
 であることを示す。) とすると、各ビデオ RAM (それ
 それ 1 MByte) の先頭アドレスとそこに描画されるイメ 10
 ージ、および、全体の高解像度大画面との関係は、図 5
 のようになる。

【0 0 3 9】上記グラフィックスアクセラレータ 2 2
 は、図 5 の表示画面 1 2, ~ 1 2, にそれぞれ表示したい
 イメージ 1 3, ~ 1 3, を、各々のビデオ RAM 2 3, ~
 2 3, に書き込む。例えば、上記グラフィックスアクセ
 ラレータ 2 2 は、1 番目の表示画面 1 2, 上に図 5 のイ
 メージ 1 3, のような画像 (絵) を表示したいとき、ビ
 デオ RAM 2 3, に対しての描画アクセス、例えば、矩
 形描画や直線描画など、を行なう。この時のアクセスア 20
 ドレスは、 $0 \times 00_0000 \sim 0 \times 0f_ffff$ である。また、2 番目
 の表示画面 1 2, 上に図 5 のイメージ 1 3, のような画
 像 (絵) を表示したいときは、ビデオ RAM 2 3, に対し
 て描画アクセスを行ない、その時のアクセスアドレス
 は、 $0 \times 10_0000 \sim 0 \times 1f_ffff$ となる。以下同様に、3 番目
 ~ 9 番目の表示画面 1 2, ~ 1 2, 上に図 5 のイメージ 1
 3, ~ 1 3, のような画像 (絵) を表示したいときは、ビ
 デオ RAM 2 3, ~ 2 3, に対して描画アクセスを行な
 い、その時のアクセスアドレスは、それぞれ、 $0 \times 20_000$
 $0 \sim 0 \times 2f_ffff$, $0 \times 30_0000 \sim 0 \times 3f_ffff$, $0 \times 40_0000 \sim 0 \times 4$ 30
 f_ffff , $0 \times 50_0000 \sim 0 \times 5f_ffff$, $0 \times 60_0000 \sim 0 \times 6f_fff$
 f , $0 \times 70_0000 \sim 0 \times 7f_ffff$, $0 \times 80_0000 \sim 0 \times 8f_ffff$ とな
 る。

【0 0 4 0】すなわち、各ビデオ RAM 2 3, ~ 2 3, の
 それぞれ (1 MByte 分) をアクセスするのに必要なアド
 レスのビット数は 2 0 ビット ($A_{19} \sim A_0$) であるが、
 9 個のビデオ RAM 2 3, ~ 2 3, の内の 1 個を指定する
 ために 4 ビットのアドレスが必要となり、これが上位側
 に付加されて、全体で 2 4 ビット ($A_{23} \sim A_0$) のアド
 レスが必要とされる。

【0 0 4 1】これらのアクセスに対して、本発明の実施
 の形態による制御信号変換機構部である変換回路 2 5
 は、そのアクセスアドレスの上位 4 ビット ($A_{23} \sim$
 A_{20}) を解釈 (デコード) し、グラフィックスアクセラ
 レータ 2 2 が意図した例えば k 番目のビデオ RAM 2 3
 , に対してのみメモリ制御信号を発行、すなわちアクテ
 ィブにする。その他のビデオ RAM へのメモリ制御信号
 は、定常状態のまま、すなわち非アクティブのままにな
 るようにする。

【0 0 4 2】これに対して、グラフィックスアクセラレ 50

ータ 2 2 が、リードトランスファースイクルまたはスプ
 リットリードトランスファースイクルを発行した時は、
 本発明の実施の形態による制御信号変換部である変換回
 路 2 5 は、全てのビデオ RAM 2 3, ~ 2 3, に対して同
 時にリードトランスファースイクルまたはスプリットリ
 ードトランスファースイクルが起動されるようにメモリ
 制御信号を発行、すなわちアクティブにする。マルチス
 クリーンの各画面を構成する表示装置は同一種類のもの
 なので、D/A コンバータによって送り出される映像デ
 ータやグラフィックスアクセラレータによって送り出さ
 れる表示タイミング (ディスプレイタイミング) は、表
 示装置 1 0, ~ 1 0, に対して全て同じであり、したがっ
 て、D/A コンバータにビデオ RAM の内容である画像
 データを送り出すためにグラフィックスアクセラレータ
 が起動しなければならないリードトランスファースイクル
 またはスプリットリードトランスファースイクルは、
 全てのビデオ RAM 2 3, ~ 2 3, に対して同時に並行し
 て発行することが可能であり、より効率的である。その
 結果、ビデオ RAM 1 個を 1 つのグラフィックスアクセ
 ラレータで担当制御している従来手法とは異なり、単一
 のグラフィックスアクセラレータに本発明の実施の形態
 による機構を設けることで、全てのビデオ RAM を効率
 よく制御することができるようになる。同時に、グラフ
 イックスアクセラレータの個数を減らせることによりコ
 スト削減が、そして、部品点数を減らせることによりシ
 ステム自体の省スペース化が可能となるという効果も得
 られる。

【0 0 4 3】次に、制御信号変換の具体的な例を図 6 と
 共に説明する。

【0 0 4 4】図 6 の例において、グラフィックスアクセ
 ラレータ 2 2 は、例えば 2 番目のビデオ RAM 2 3, に
 対するアクセスサイクルにて、2 4 ビット ($A_{23} \sim$
 A_0) のアドレス、例えば $0 \times 11_2400$ を発行してい
 る。ここで、グラフィックスアクセラレータ 2 2 が、リ
 ードトランスファースイクルまたはスプリットリードト
 ランスファースイクル以外を起動した場合には、制御信
 号変換部である付加回路 2 5 は、このアドレスの上位 4
 ビット ($A_{23} \sim A_{20}$) である 0×1 (1 6 進数) を解釈
 (デコード) し、グラフィックスアクセラレータ 2 2 に
 よって起動されたアクセスサイクルがビデオ RAM 2 3 40
 , に対するアクセスであることを判断する。そして、ア
 ドレスの上位 4 ビット ($A_{23} \sim A_{20}$) を受けた変換部で
 ある付加回路 2 5 は、ビデオ RAM 2 3, に対するメモ
 リ制御信号だけを有効に、すなわちアクティブにして、
 その他のビデオ RAM 2 3, およびビデオ RAM 2 3,
 ~ 2 3, に対するメモリ制御信号は、無効状態、すなわ
 ち非アクティブ状態のままにする。グラフィックスアク
 セラレータが、リードトランスファースイクルまたはス
 プリットリードトランスファースイクルを起動した場合
 には、本発明の実施の形態によるアクセスサイクル識別

部(挙動については後述)がそのサイクルを識別することによって、制御信号変換部は、全てのビデオRAM 23₁ ~ 23₉に対するメモリ制御信号を有効(アクティブ)にする。

【0045】したがって、ビデオRAM 23₁ ~ 23₉に対するリードトランスファーアドレスは、それぞれ、0x01_2400、0x11_2400、0x21_2400、0x31_2400、0x41_2400、0x51_2400、0x61_2400、0x71_2400、0x81_2400となり、各ビデオRAMの相対的に同じ位置(アドレス)をリードトランスファーすることになる。これは、すなわち、9個のビデオRAM 23₁ ~ 23₉によって表現される画面の同じ位置のデータを同時に各D/Aコンバータに対して送り出すことになる。

【0046】次に、上述したビデオRAM 23₁ ~ 23₉のいずれか1つを選択するための上位4ビット(A₁₁ ~ A₁₄)のアドレスの解読(デコード)を行なうための回路の具体例を、以下の図7の(a)~(e)、図8の(f)~(i)、及び図9に示す。

【0047】図7の(a)~(e)及び図8の(f)~(i)においては、上記画像用メモリ(ビデオRAM) 23の全体をアクセスするための24ビット(A₁ ~ A₂₄)のアドレスの内の上位4ビット(A₁₁ ~ A₁₄)のアドレスを解読(デコード)して、アクセス対象となる1つのビデオRAM、例えばk番目のビデオRAM 23_kを選択するための選択信号S_kを生成する回路を示している。

【0048】例えば、図7の(a)の回路においては、上位4ビット(A₁₁ ~ A₁₄)のアドレス信号がいずれもインバータを介してANDゲートに送られることにより、上位4ビット(A₁₁ ~ A₁₄)が0x0(2進数で0000)の場合に、ANDゲートからの選択信号S₁が有効(アクティブ: 正論理では「1」すなわちHighレベル)になって、1番目のビデオRAM 23₁が選択される。以下同様に、図7の(b)の回路においては、上位4ビットが0x1(2進数で0001)の場合に、2番目のビデオRAM 23₂の選択信号S₂が有効になり、図7の(c)の回路により、上位4ビットが0x2(2進数で0010)の場合に、3番目のビデオRAM 23₃の選択信号S₃が有効になり、図7の(d)の回路により、上位4ビットが0x3(2進数で0011)の場合に、4番目のビデオRAM 23₄の選択信号S₄が有効になり、図7の(e)の回路により、上位4ビットが0x4(2進数で0100)の場合に、5番目のビデオRAM 23₅の選択信号S₅が有効になる。また、図8の(f)~(i)も同様であり、図8の(f)では、上位4ビットが0x5(2進数で0101)の場合に6番目のビデオRAM 23₆の選択信号S₆が有効になり、図8の(g)では、上位4ビットが0x6(2進数で0110)の場合に7番目のビデオRAM 23₇の選択信号S₇が有効になり、図8の(h)では、上位4ビットが0x7(2進数で0111)の場合に8番目のビデオRAM 23₈の選択信号S₈が有効になり、図8の(i)では、上位4ビットが

0x8(2進数で1000)の場合に9番目のビデオRAM 23₉の選択信号S₉が有効になる。

【0049】次の図9には、前述の図7の(a)~(e)及び図8の(f)~(i)で示した回路を全て統合した解読(デコード)回路全体の具体例を示している。

【0050】次に、メモリ制御信号を変換する回路の具体例について、以下の図10及び図11を参照しながら説明する。

【0051】図10において、リードトランスファーサイクルまたはスプリットリードトランスファーサイクル以外のサイクルがグラフィックスアクセラレータによって起動された場合は、解読(デコード)回路27によって生成される9個あるビデオRAM 23₁ ~ 23₉の選択信号S₁ ~ S₉のうち1つだけが有効(アクティブ=Highレベル)になり、したがって、その選択されたビデオRAMへの負論理の制御信号(RAS*, CAS*, WE*, OE*)のみが有効(アクティブ=Lowレベル)になる。リードトランスファーサイクルまたはスプリットリードトランスファーサイクルがグラフィックスアクセラレータによって起動された場合は、解読(デコード)回路27によって生成されるビデオRAMの選択信号S₁ ~ S₉に関わらず、9個全てのビデオRAM 23₁ ~ 23₉が選択され、したがって、全てのビデオRAMへの負論理の制御信号(RAS*, CAS*, WE*, OE*)が有効(アクティブ=Lowレベル)になる。

【0052】このような動作を実現するため、図10においては、リードトランスファーサイクルやスプリットリードトランスファーサイクルが起動中であることを示すような信号、例えばリードトランスファーサイクル起動中にHighレベルになる信号RTC、あるいはスプリットリードトランスファーサイクルが起動中にHighレベルになる信号SRTCを用い、この信号RTC(あるいはSRTC)と、上記ビデオRAM 23₁ ~ 23₉の選択信号S₁ ~ S₉とのそれぞれNOR(否定論理和)をとり、これらのNOR出力と、上記負論理の制御信号(RAS*, CAS*, WE*, OE*)とのそれぞれOR(論理和)をとることで、各ビデオRAM 23₁ ~ 23₉の制御信号CS₁ ~ CS₉を得るようにしている。

【0053】また、図11において、リードトランスファーサイクルまたは、スプリットリードトランスファーサイクル以外のサイクルがグラフィックスアクセラレータによって起動された場合は、解読(デコード)回路27によって生成される9個あるビデオRAM 23₁ ~ 23₉の選択信号S₁ ~ S₉のうち1つだけが有効(アクティブ=Highレベル)になり、したがって、その選択されたビデオRAMへの正論理の制御信号(DSF)のみが有効(アクティブ=Highレベル)になる。リードトランスファーサイクルまたはスプリットリードトランスファーサイクルがグラフィックスアクセラレータによって起動された場合は、解読(デコード)回路によって生成され

るRAMの選択信号に関わらず、9個全てのビデオRAM 23、～23、が選択され、したがって、全てのRAMへの正論理の制御信号(DSF)が有効(アクティブ=Highレベル)になる。

【0054】このため図11においては、リードトランスファーサイクル起動中にHighレベルになる信号RTC(あるいはスプリットリードトランスファーサイクルが起動中にHighレベルになる信号SRTC)と、上記ビデオRAM 23、～23、の選択信号S₁～S₉とのそれぞれOR(論理和)をとり、これらのOR出力と、上記正論理の制御信号(DSF)とのそれぞれAND(論理積)をとることで、各ビデオRAM 23、～23、の制御信号CS₁～CS₉を得るようにしている。

【0055】これらの図10および図11に示す回路が、図3や図6中の制御信号変換回路である付加回路25内に設けられている。

【0056】次に、上述した図10および図11に示すような回路を有する制御信号変換回路(図3や図6の付加回路25に相当)に入力される信号、すなわち、上記リードトランスファーサイクル起動中にHighレベルになる信号RTC、スプリットリードトランスファーサイクル起動中にHighレベルになる信号SRTCを作り出すためのサイクル識別に関する説明を行なう。

【0057】まず最初に、グラフィックスアクセラレータが画像用メモリ(ビデオRAM)に対して発行するメモリアクセスサイクルをまとめると、次の図12～図19に示すように8通りのアクセスサイクルが存在する。

【0058】図12は、ページモードを含むリードサイクルを示し、図13は、ページモードを含むライトサイクルを示し、図14は、ページモードを含むブロックライトサイクルを示し、図15は、ページモードを含むリード・モディファイ・ライトサイクルを示している。図16は、カラーレジスタセットサイクルを示し、図17は、CASビフォアRASリフレッシュサイクルを示している。また、図18は、リードトランスファーサイクルを示し、図19は、スプリットリードトランスファーサイクルを示している。

【0059】これらの図12～図19の中で使用されている各信号は、以下の意味を表わしている。

Address: アドレス信号

Data: データ信号

RAS*: ロウアドレスストローブ(Row Address Strobe)信号

CAS*: カラムアドレスストローブ(Column Address Strobe)信号

WE*: ライトイネーブル(Write Enable)信号

OE*: アウトプットイネーブル(Output Enable)信号

DSF: スペシャルファンクションイネーブル(Special Function Enable)信号

ここで、アスタリスク(*)記号が付加されている信号

は、Lowレベルで有効(アクティブ)となることを表わしており、一般的に負論理信号と言う。付加されていない信号はHighレベルで有効(アクティブ)となることを表わしており、一般的に正論理信号と言う。

【0060】これらの図12～図19に示したアクセスサイクルの中から、上記リードトランスファーサイクル、スプリットリードトランスファーサイクルの2種類のサイクルを識別する。これらの図中で示された各アクセスサイクルにおける各制御信号の挙動を考慮すると、リードトランスファーサイクル、スプリットリードトランスファーサイクルを識別するための条件の一例として、RAS*信号がHighレベルであり、かつ、OE*信号がLowレベルになったときに、リードトランスファーサイクル、スプリットリードトランスファーサイクルが開始し、RAS*信号がLowレベルからHighレベルになったときに終了する、という条件が挙げられる。

【0061】具体例として、図18の信号RTCは、リードトランスファーサイクル起動中にHighレベルになる信号を示し、図19の信号SRTCは、スプリットリードトランスファーサイクル起動中にHighレベルになる信号を示している。

【0062】したがって、本発明の実施の形態によるサイクル識別機構では、この条件が満たされた時点をつけかきにして、リードトランスファーサイクルが起動中であることを示す信号RTC、またはスプリットリードトランスファーサイクルが起動中であることを示す信号SRTCをHighレベルにして、その後、RAS*信号がLowレベル(アクティブ)からHighレベル(非アクティブ)になるまで同サイクルが進行していると判断し、同信号をHighレベルに保ち続けてからLowレベルにする。これにより、同信号は、リードトランスファーサイクル、またはスプリットリードトランスファーサイクルが起動中であるときにHighレベルになる。

【0063】上記の条件を識別して、リードトランスファーサイクル、または、スプリットリードトランスファーサイクルが起動中であることを示す信号を生成する簡単な回路例を以下の図20に示す。

【0064】図20の例では、いわゆるTTL74シリーズにおける7474などに代表されるDタイプフリップフロップFF₁、FF₂とNANDゲートのみによって、リードトランスファーサイクル、またはスプリットリードトランスファーサイクルが起動中であることを示す信号RTC、SRTCを生成している。ここで、DタイプフリップフロップFF₁、FF₂に入力されているCLK(クロック)信号は、グラフィックスアクセラレータなどでも使用されるような基本クロックであり、グラフィックスアクセラレータは、このクロックを元に各アクセスサイクルを作り出している。そして、ここであげた回路例はあくまでも一例であって、各アクセスサイクルのインプリメント(実装)の仕方によって、そのアク

セスサイクルの挙動が微妙に異なり、それに従って回路例も様々な考えることが可能である。

【0065】次に、リードトランスファーサイクルとスプリットリードトランスファーサイクルの違いを説明する。

【0066】図21に、VRAM (ビデオRAM) の簡略化したブロック図を示す。この図21において、VRAM (ビデオRAM) には、RAMポート31とシリアルポート32があり、前述のリードサイクル、ライトサイクル、ブロックライトサイクル、リードモディファイライトサイクル、カラーレジスタセットサイクルは、RAMポート31を経由してメモリ・セル・アレイ33内のデータ、もしくは、メモリ内の各種レジスタに対してアクセスが行われるサイクルである。これに対して、リードトランスファーサイクル、スプリットリードトランスファーサイクルは、メモリ・セル・アレイ33内のデータをトランスファー・ゲート34を経由してデータ・レジスタ35へと送り出すためのサイクルである。そして、リードトランスファーサイクルとスプリットリードトランスファーサイクルの違いは、リードトランスフ

ーサイクルでは、メモリ・セル・アレイ33内からデータを全カラム一度にデータ・レジスタ35に転送するのに対して、スプリットリードトランスファーサイクルでは、メモリ・セル・アレイ33内からデータを下位側カラムと上位側カラムとに分けてデータ・レジスタ35に転送するのである。サイクル上の違いは、DSP信号 (正論理) がLowレベルのままのときにリードトランスファーサイクル、RAS*信号 (負論理) の立ち下がり時にHighレベルになるときがスプリットリードトランスファーサイクルである。

【0067】以上のような本発明の実施の形態によれば、マルチスクリーングラフィックスシステムを実現する際に、必要最小限のコンポーネント (部品) の追加で済み、描画処理装置であるグラフィックスアクセラレータが1台で済み、性能の高い回路 (ハードウェア) を必要としない。したがって、省コスト、省スペースを実現したマルチスクリーン制御機能を備えることが可能となり、すなわち、ショー効果やデモンストレーションを狙った高解像度大画面グラフィックスシステムの構築が可能となる。

【0068】なお、本発明は上述した実施の形態のみに限定されるものではなく、例えば、マルチスクリーンを構成する画面数あるいは表示装置の台数は、9台に限定されず、縦横に配列できる任意の台数の表示装置を用いてマルチスクリーンを構成できる。

【0069】

【発明の効果】以上の説明から明らかなように、本発明によれば、描画処理手段からの画像データを複数の表示手段に送って表示させるマルチスクリーン表示システムにおける上記描画処理手段からの制御信号を変換して上

記複数の表示手段に対応する複数の画像メモリに送る制御信号変換の際に、上記複数の画像メモリを指定するアドレスをデコードし、このデコード出力に応じて、上記描画処理手段からのメモリ制御信号を上記複数の画像メモリの内の対応する画像メモリに送ることにより、1台の描画処理装置により複数の画像メモリを必要最小限の構成でアクセス制御でき、マルチスクリーンシステムのコスト低減、スペース低減に貢献することができる。

【0070】また、本発明に係る画像処理装置によれば、マルチスクリーン表示のための画像データを出力する描画処理手段と、この描画処理手段からの画像データが蓄積される複数の画像メモリと、この複数の画像メモリからの各画像データをそれぞれ表示する複数の表示手段と、上記複数の画像メモリを指定するアドレスをデコードし、このデコード出力に応じて上記描画処理手段からのメモリ制御信号を上記複数の画像メモリの内の対応する画像メモリに送る制御信号変換手段とを有することにより、1台の描画処理装置に、必要最小限の構成を追加するだけで、省コスト、省スペースを実現したマルチスクリーンシステムを構成できる。

【図面の簡単な説明】

【図1】本発明に係る実施の形態が適用されるマルチスクリーングラフィックスシステムの一例の概略構成を示すブロック図である。

【図2】本発明に係る実施の形態が適用されるマルチスクリーングラフィックスシステムの他の例の概略構成を示すブロック図である。

【図3】マルチスクリーングラフィックスシステムのグラフィックスアクセラレータとビデオRAMとの関係を説明するための図である。

【図4】マルチスクリーングラフィックスシステムの表示画面の構成例を示す図である。

【図5】マルチスクリーングラフィックスシステムのビデオRAMと描画されるイメージ及び表示画面との関係を示す図である。

【図6】制御信号変換の具体例を説明するための図である。

【図7】複数のビデオRAMを選択するためのアドレスの上位ビットのデコードを行うための回路を示す図である。

【図8】複数のビデオRAMを選択するためのアドレスの上位ビットのデコードを行うための回路を示す図である。

【図9】図7及び図8に示した回路を統合した解釈 (デコード) 回路全体の一例を示す図である。

【図10】メモリ制御信号を変換する回路の具体例を示す図である。

【図11】メモリ制御信号を変換する他の回路の具体例を示す図である。

【図12】ページモードを含むリードサイクルを示す図

である。

【図 1 3】 ページモードを含むライトサイクルを示す図である。

【図 1 4】 ページモードを含むブロックライトサイクルを示す図である。

【図 1 5】 ページモードを含むリード・モディファイ・ライトサイクルを示す図である。

【図 1 6】 カラーレジスタセッドサイクルを示す図である。

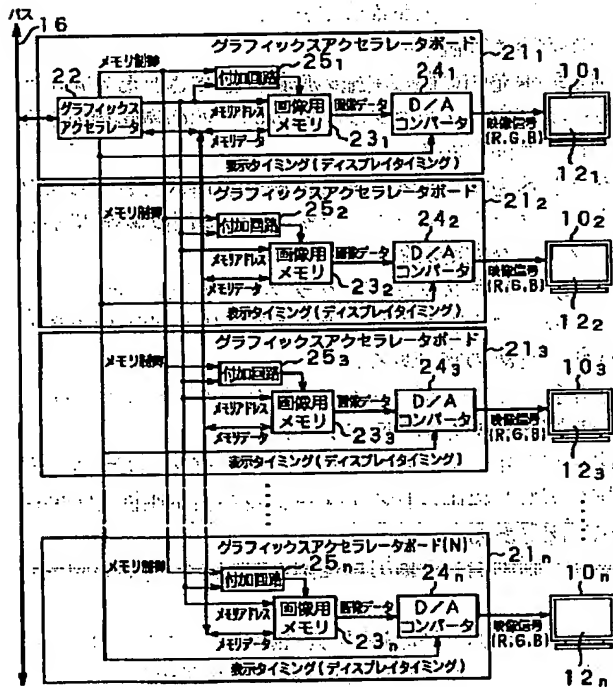
【図 1 7】 CASビフォアRASリフレッシュサイクル 10 を示す図である。

【図 1 8】 リードトランスファーサイクルを示す図である。

【図 1 9】 スプリットリードトランスファーサイクルを示す図である。

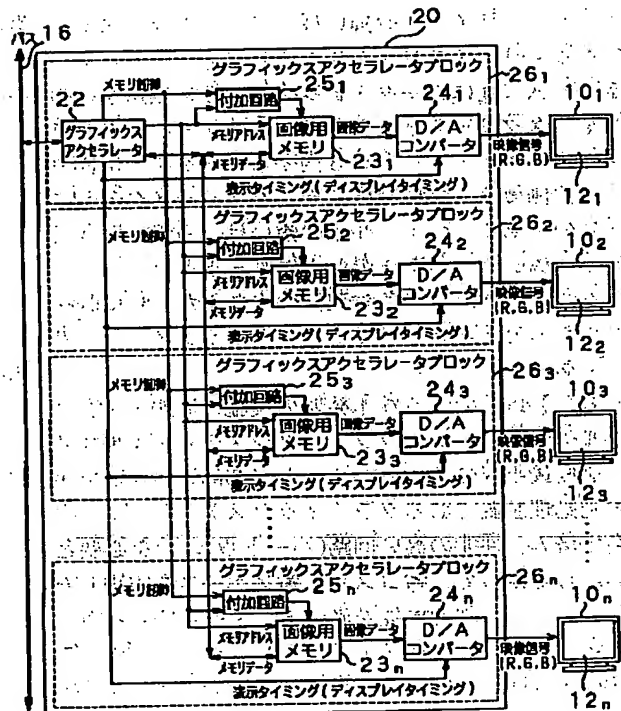
【図 2 0】 リードトランスファーサイクル、スプリット

【図 1】

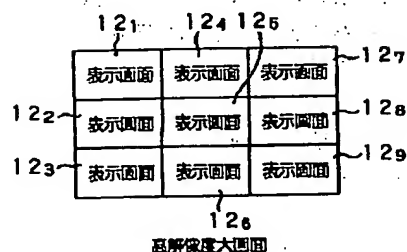


10₁ ~ 10_n: 表示装置
12₁ ~ 12_n: 表示画面

【図 2】



【図 4】



リードトランスファーサイクルが起動中であることを示す信号を生成するための回路の一例を示す図である。

【図 2 1】 ビデオ RAM の概略構成を示すブロック図である。

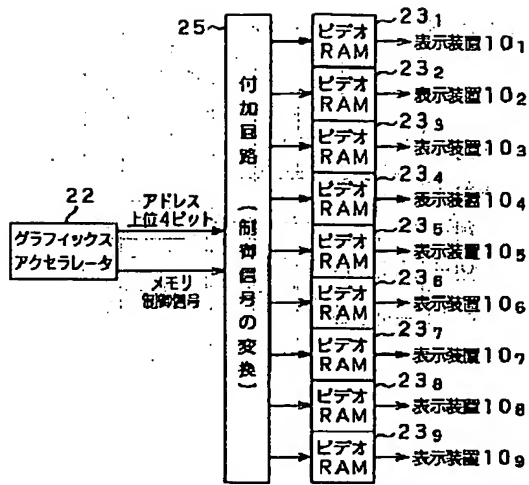
【図 2 2】 従来のマルチスクリーングラフィックスシステムの一例の概略構成を示すブロック図である。

【図 2 3】 従来のマルチスクリーングラフィックスシステムの他の例の概略構成を示すブロック図である。

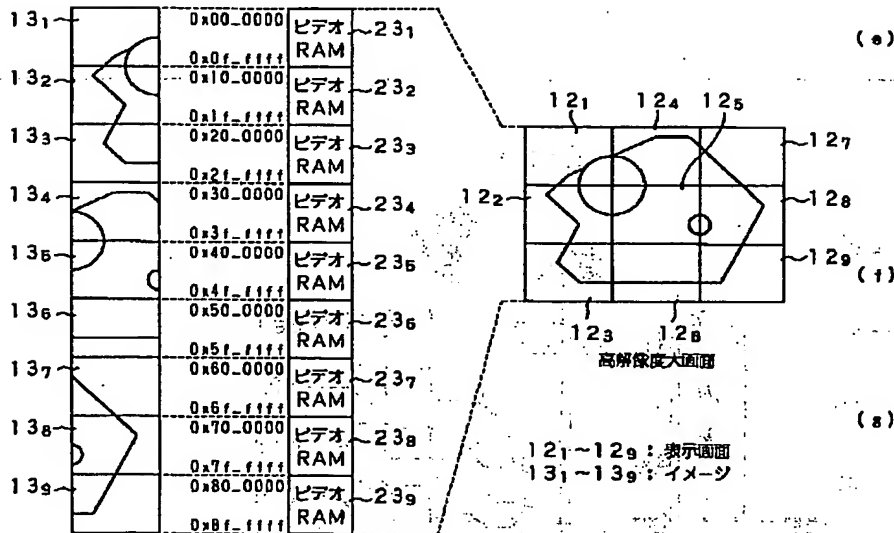
【符号の説明】

10 表示装置、 12 表示画面、 21 グラフィックスアクセラレータボード、 22 グラフィックスアクセラレータ、 23 画像用メモリ (ビデオ RAM)、 24 D/Aコンバータ、 25 付加回路 (制御信号変換回路)、 26 グラフィックスアクセラレータブロック

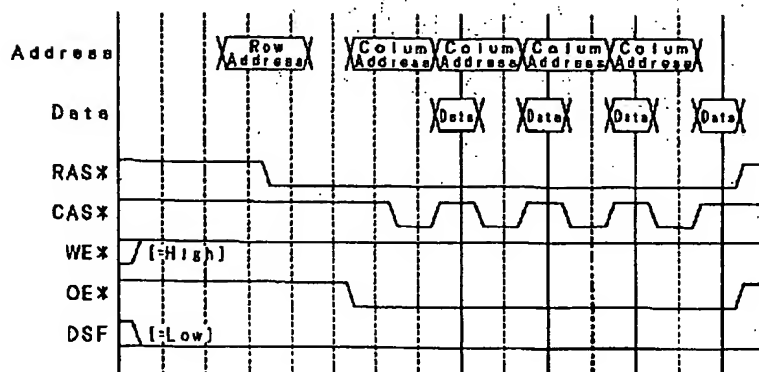
【図3】



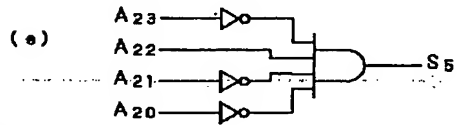
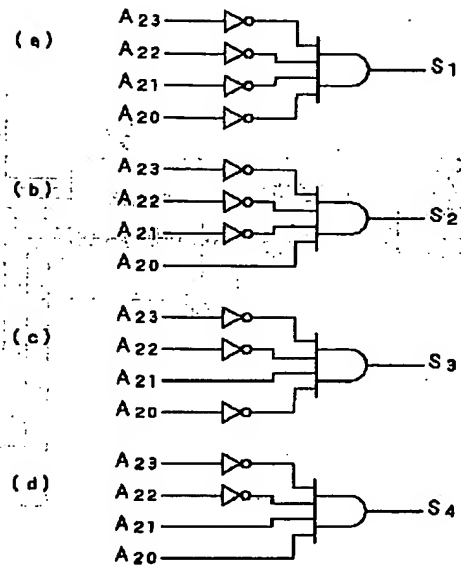
【図5】



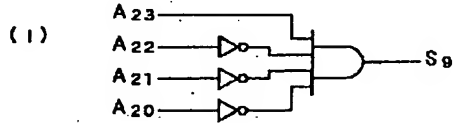
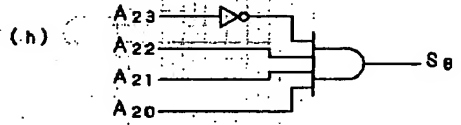
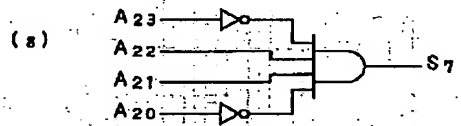
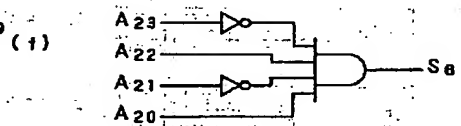
【図12】



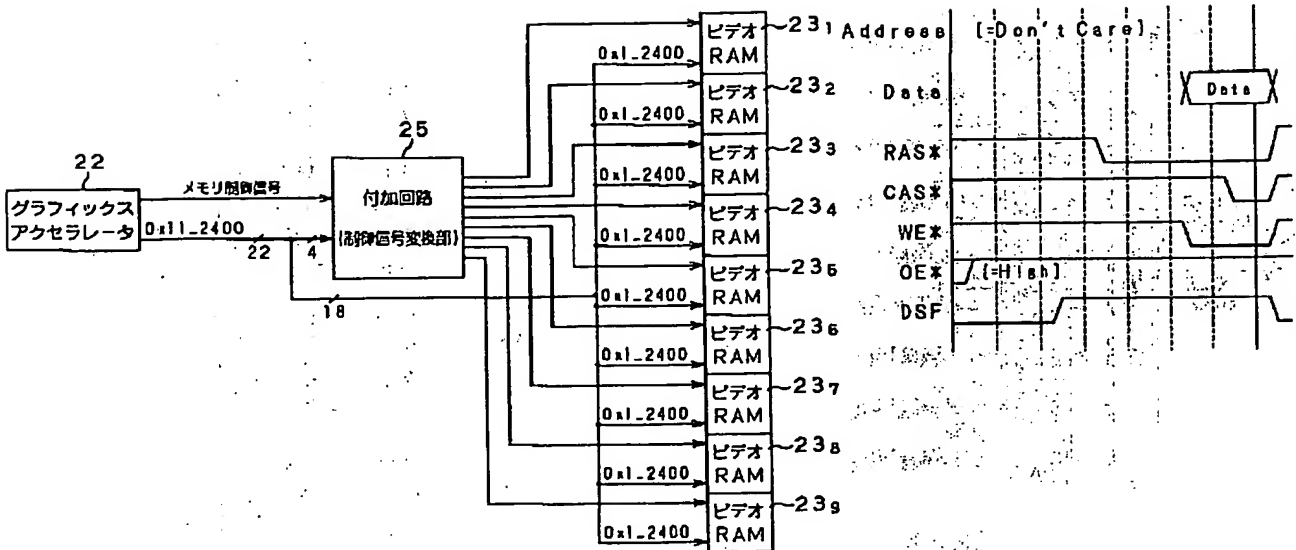
【図7】



【図8】

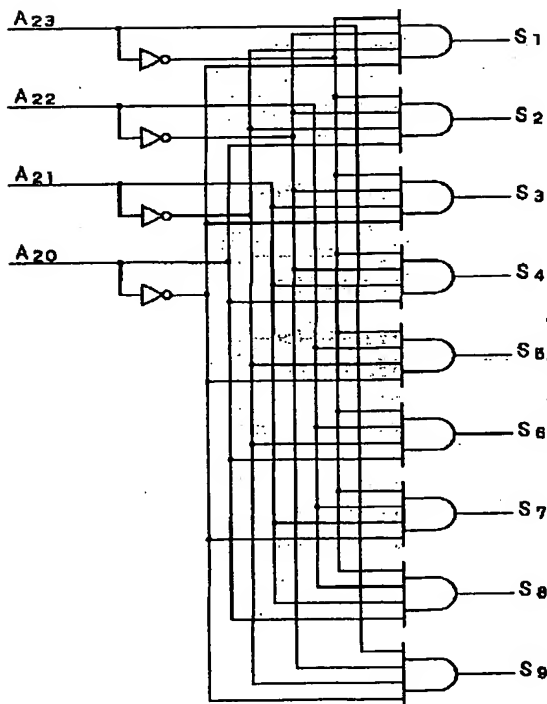


【図6】

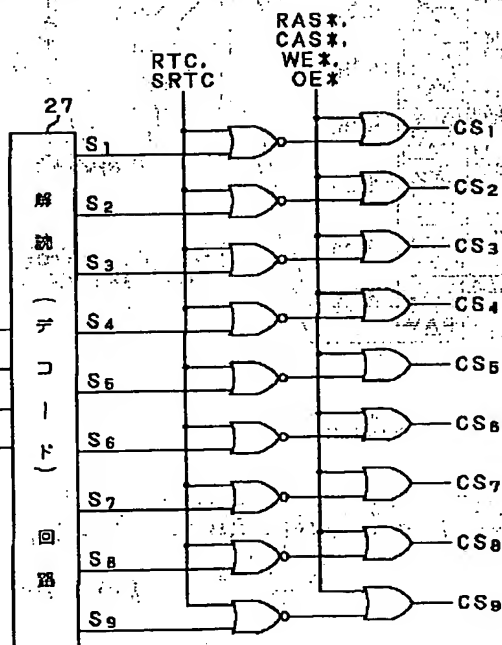


【図16】

【図9】

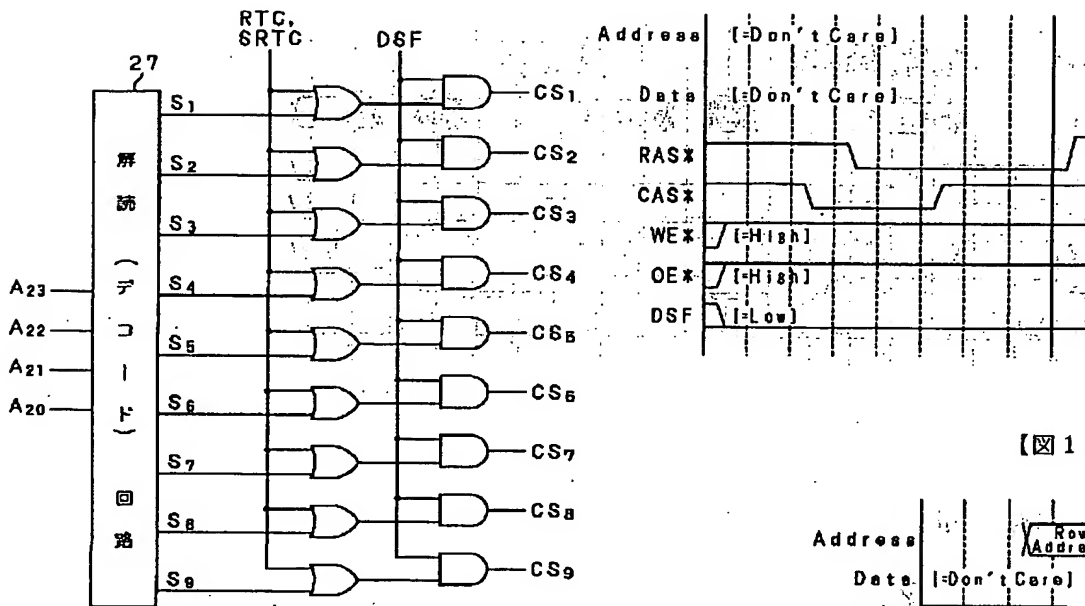


【図10】

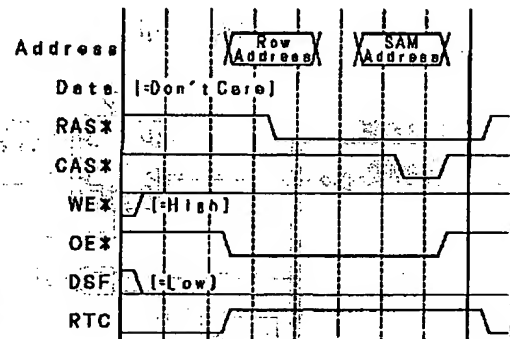


【図 11】

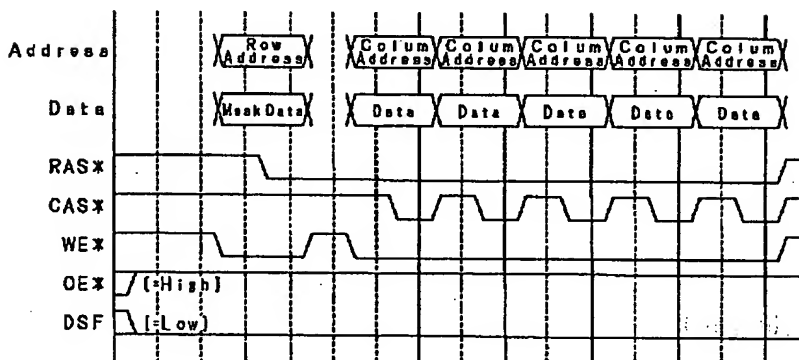
【図 17】



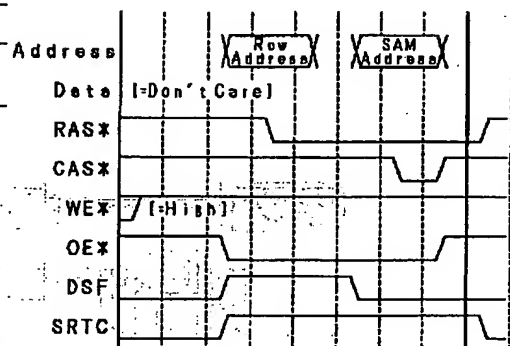
【図 18】



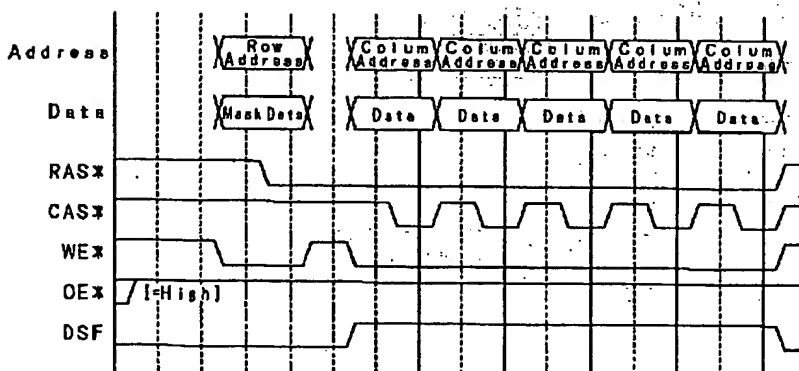
【図 13】



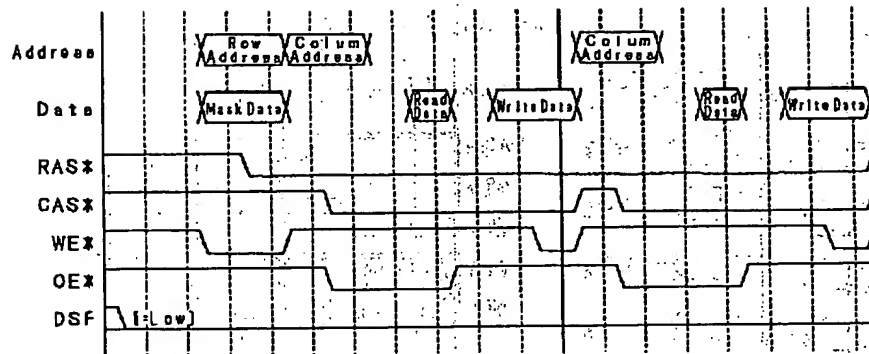
【図 19】



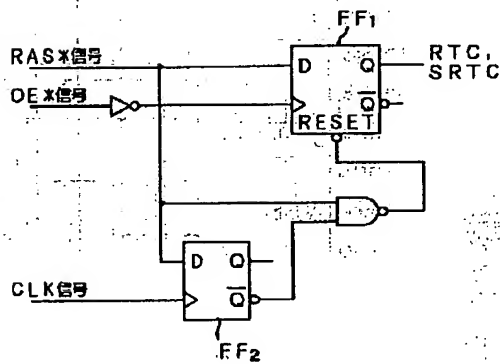
【図 14】



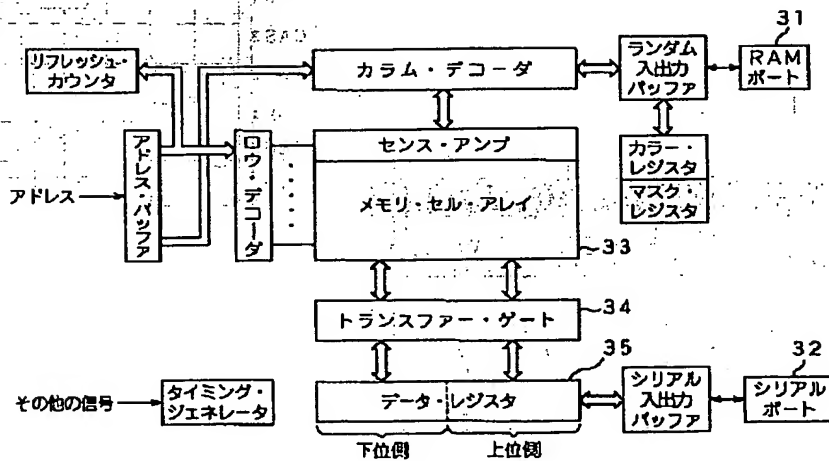
【図 15】



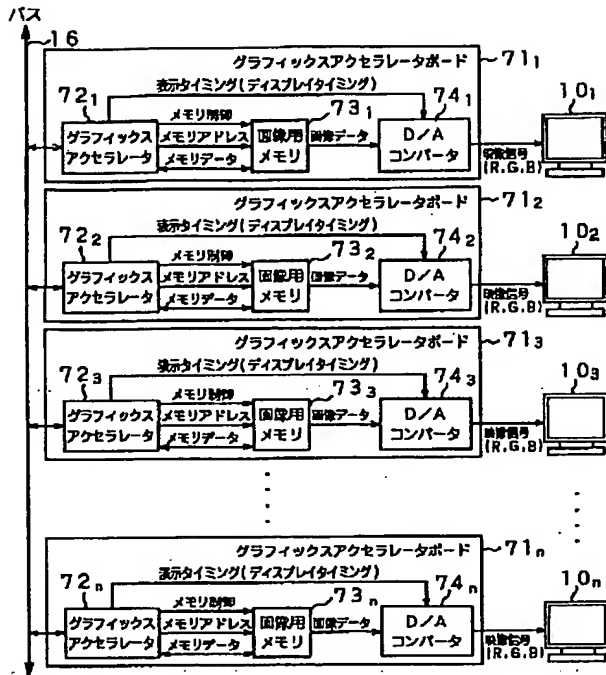
【図 20】



【図 21】



【図 2 2】



【図 2 3】

